

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-270445
 (43)Date of publication of application : 14.10.1997

(51)Int.Cl. H01L 21/60
 H01L 21/60

(21)Application number : 08-280784 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 MATSUSHITA ELECTRON CORP

(22)Date of filing : 23.10.1996 (72)Inventor : SAKAI HIROYUKI
 YOSHIDA TAKAYUKI
 OTA TOSHIMICHI
 INOUE KAORU

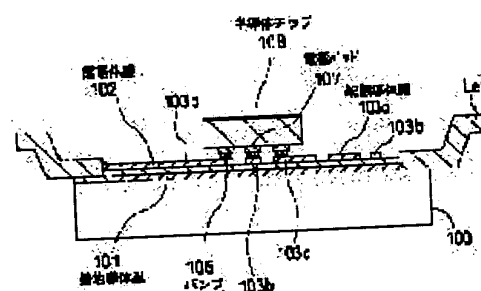
(30)Priority
 Priority number : 07281801 Priority date : 30.10.1995 Priority country : JP
 08 13199 29.01.1996 JP

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To make the characteristic impedance of micro strip line uniform as designed by preventing change of a dielectric film after mounting when an MFIC (millimeter wave flip chip IC) is manufactured by mounting a semiconductor chip on a board equipped with micro strip lines with an MBB (micro bump bonding) method.

SOLUTION: A dielectric film 102 comprised of a ground conductive film 101 and a benzocyclobutane (BCB) film and wiring conductive films 103a-103c are formed on a substrate 100 made of glass or the like. A semiconductor chip 108 equipped with a transistor for high frequency is flip chip connected. Dummy bumps are formed and the strength of a bump 106, the substrate or electrodes on chip side is reduced to prevent the dielectric film made of the BCB film from deforming because of the load applied to the bump 106. After MBB mounting, the film thickness of the conductive film can be kept almost uniform and the disturbance of impedance can be reduced.



LEGAL STATUS

[Date of request for examination]

26.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Searching PAJ

[Date of final disposal for application]

3319693

[Patent number]

21.06.2002

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 7 0 4 4 5

(43) 公開日 平成9年(1997)10月14日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 2 1		H 0 1 L 21/60 3 2 1 X	
	3 1 1		3 1 1 S	

審査請求 未請求 請求項の数 2 4 O L

(全 2 0 頁)

(21) 出願番号 特願平8-280784

(22) 出願日 平成8年(1996)10月23日

(31) 優先権主張番号 特願平7-281801

(32) 優先日 平7(1995)10月30日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-13199

(32) 優先日 平8(1996)1月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 酒井 啓之

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 吉田 隆幸

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

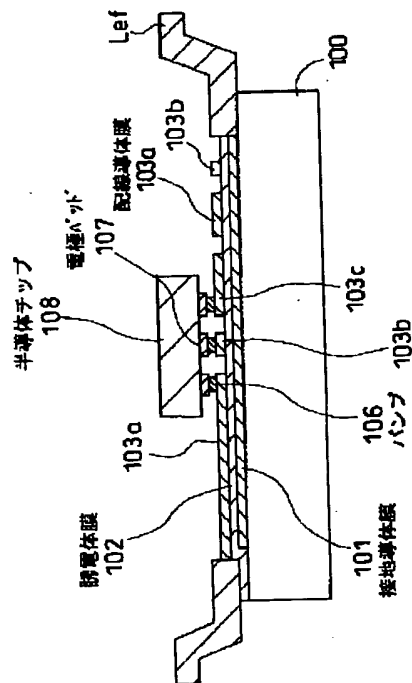
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 マイクロストリップ線路を有する基板にMB B実装で半導体チップを搭載してMF I Cを作製する際に、実装後の誘電体膜の変化を抑えマイクロストリップ線路の特性インピーダンスを設計通りの様な状態にする。

【解決手段】 ガラス等の基板100の上に、接地導体膜101と、ベンゾシクロブテン(BCB)膜からなる誘電体膜102と、配線導体膜103a~103cと、が形成されている。高周波用トランジスタを有する半導体チップ108をフリップチップ接続する際に、バンプ106に加わる荷重によってBCB膜からなる誘電体膜102が変形するのを抑制するために、ダミーバンプを設けたり、バンプ106や基板又はチップ側の電極パッドの強度を小さくする。MB B実装後も誘電体膜の膜厚をほぼ一様に保ち、インピーダンスの乱れを低減することができる。



【特許請求の範囲】

【請求項 1】 少なくとも一部に下地導体膜を有する基板と、

上記下地導体膜の上に形成されベンゾシクロブテン（以下、BCBと略記する）膜からなる誘電体膜と、
上記誘電体膜の上に形成された配線導体膜と、
高周波トランジスタと該高周波トランジスタに接続される電極とを有し、上記基板上にフェースダウンで搭載された半導体チップと、

上記電極と上記配線導体膜との間に介設され両者を接続するためのバンプとを備えるとともに、
上記下地導体膜、誘電体膜及び配線導体膜によりマイクロストリップ線路が構成されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
上記半導体チップに内蔵される高周波トランジスタの動作周波数が 1 0 G H z 以上であることを特徴とする半導体装置。

【請求項 3】 少なくとも一部に下地導体膜を有する基板と、
上記下地導体膜の上に形成され B C B 膜からなる第 1 の誘電体膜と、

上記第 1 の誘電体膜の上に形成された第 1 の配線導体膜と、
上記第 1 の配線導体膜の上に形成された絶縁膜からなる第 2 の誘電体膜と、

上記第 2 の誘電体膜の上に形成された第 2 の配線導体膜と高周波用トランジスタと該高周波用トランジスタに接続される電極とを有し、上記基板上にフェースダウンで搭載された半導体チップと、

上記電極と上記第 2 の配線導体膜との間に介設され両者を接続するためのバンプとを備えるとともに、
上記下地導体膜、第 1 の誘電体膜及び第 1 の配線導体膜によりマイクロストリップ線路が構成されており、
上記第 1 の配線導体膜、上記第 2 の誘電体膜及び上記第 2 の配線導体膜により M I M キャパシタが構成されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、
上記半導体チップに内蔵される高周波トランジスタの動作周波数が 1 0 G H z 以上であることを特徴とする半導体装置。

【請求項 5】 少なくとも一部に下地導体膜を有する基板と、

上記下地導体膜の上に形成された誘電体膜と、
上記誘電体膜上に形成され上記下地導体膜及び誘電体膜と共にマイクロストリップ線路を構成する配線導体膜と、

高周波用トランジスタと該高周波用トランジスタに接続される電極とを有し、上記基板上の上記配線導体膜の一部に上記電極が接続されるようにフェースダウンで搭載

された半導体チップと、

上記電極と上記配線導体膜との接続部に介設され両者を接続するためのバンプとを備えるとともに、

上記半導体チップを上記基板上に搭載した後において、
上記接続部における上記半導体チップの下面と上記誘電体膜の上面との間の寸法の上記半導体チップ搭載前の寸法からの変化量が、上記接続部下方における上記誘電体膜の厚みの上記半導体チップ搭載前の厚みからの変化量よりも大きいことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、
上記誘電体膜は、BCB、ポリイミド及びアクリルのうち少なくともいずれか 1 つを含む有機材料で構成されていることを特徴とする半導体装置。

【請求項 7】 請求項 5 記載の半導体装置において、
上記バンプと電極とがいずれも A u を含む金属により構成されていることを特徴とする半導体装置。

【請求項 8】 請求項 5 又は 6 記載の半導体装置において、

上記バンプ及び電極のうち少なくともいずれか一方の変形量が飽和した状態まで圧縮変形したときの上記誘電体膜の厚みの変化が 1 0 % 以下であることを特徴とする半導体装置。

【請求項 9】 請求項 5 記載の半導体装置において、
上記電極及び上記配線導体膜のうち少なくともいずれか一方に、信号及び電力の伝送には寄与しない衝撃緩衝用のダミーパッドが設けられていることを特徴とする半導体装置。

【請求項 1 0】 請求項 9 記載の半導体装置において、
上記衝撃緩衝用のダミーパッドは、上記半導体チップの周辺部に配設されていることを特徴とする半導体装置。

【請求項 1 1】 請求項 5、9 又は 1 0 記載の半導体装置において、

上記半導体チップと上記配線導体膜との間に介設され、
上記半導体チップ搭載荷重以下の荷重で変形が可能で信号及び電力の伝送には寄与しないダミーバンプをさらに備えていることを特徴とする半導体装置。

【請求項 1 2】 請求項 5 記載の半導体装置において、
上記半導体チップ搭載後における上記バンプの厚みが 5 μ m 以下であることを特徴とする半導体装置。

【請求項 1 3】 請求項 5 記載の半導体装置において、
上記高周波トランジスタの動作周波数は 1 0 G H z 以上であることを特徴とする半導体装置。

【請求項 1 4】 請求項 5 記載の半導体装置において、
上記半導体チップと上記基板とは、上記電極と上記配線導体膜との接続部を含む領域に介在する光硬化収縮性絶縁樹脂により接着されていることを特徴とする半導体装置。

【請求項 1 5】 請求項 5 記載の半導体装置において、
上記電極と配線導体膜との接続部において、上記電極及

び配線導体膜のうち少なくともいずれか一方の下に上記誘電体膜よりヤング率の小さな材料よりなる緩衝層が配設されていることを特徴とする半導体装置。

【請求項16】 請求項5記載の半導体装置において、上記電極と配線導体膜との接続部において、上記電極及び配線導体膜のうち少なくともいずれか一方の下に空洞が設けられていることを特徴とする半導体装置。

【請求項17】 請求項5記載の半導体装置において、上記パンプは、内部に少なくとも1つの空隙部を有することを特徴とする半導体装置。

【請求項18】 請求項5記載の半導体装置において、上記半導体チップの上記接続部近傍でかつ接続部を挟む少なくとも2か所に設けられ、上記誘電体膜を構成する材料よりもヤング率の大きな材料からなり上記電極、パンプ及び配線導体膜の合計厚みよりも大きな高さ寸法を有する支持体をさらに備えていることを特徴とする半導体装置。

【請求項19】 基板上に下地導体膜を堆積する第1の工程と、
上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、

上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、
高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、
上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、

上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第6の工程と、

上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧しかつ加熱して上記パンプを変形量がほぼ飽和する状態まで圧縮変形させる第7の工程とを備え、

上記第5の工程では、上記第7の工程における上記誘電体膜の厚みの変化が10%以下の時に上記パンプの変形量がほぼ飽和するような特性を有する材料で上記パンプを形成することを特徴とする半導体装置の製造方法。

【請求項20】 基板上に下地導体膜を堆積する第1の工程と、

上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、

上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、

高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、

上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、

上記基板を上記配線導体膜が上方に向くように設置して、上記基板上に硬化収縮機能を有する液状の絶縁樹脂を塗布する第6の工程と、

上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第7の工程と、

上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧して上記パンプを変形量がほぼ飽和する状態まで圧縮変形させる第8の工程と、

上記絶縁樹脂を硬化させる第9の工程とを備え、
上記第5の工程では、上記第8の工程における上記誘電体膜の厚みの変化が10%以下の時に上記パンプの変形量がほぼ飽和するような特性を有する材料で上記パンプを形成することを特徴とする半導体装置の製造方法。

【請求項21】 基板上に下地導体膜を堆積する第1の工程と、

上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、

上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、

高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、

上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、

上記基板を上記配線導体膜が上方に向くように設置して、上記基板上に硬化収縮機能を有する液状の絶縁樹脂を塗布する第6の工程と、

上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第7の工程と、

上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧して上記パンプを変形量がほぼ飽和する状態まで圧縮変形させる第8の工程と、

上記絶縁樹脂を硬化させる第9の工程とを備え、
上記第8の工程では、上記半導体チップを下方に加圧するとほぼ同時に上記パンプを軟化させて上記パンプを圧縮変形することを特徴とする半導体装置の製造方法。

【請求項22】 請求項21記載の半導体装置の製造方法において、

上記第5の工程では、Auを含む金属を用いて上記パンプを形成し、

上記第8の工程では、加圧とはほぼ同時に上記半導体チップ-基板間に超音波を印加することを特徴とする半導体装置の製造方法。

【請求項23】 請求項21記載の半導体装置の製造方法において、

上記第5の工程では、Auを含む金属を用いて上記パンプ

ブを形成し、

上記第8の工程では、加圧とほぼ同時に上記パンプに電磁波を照射することを特徴とする半導体装置の製造方法。

【請求項24】 基板上に下地導体膜を堆積する第1の工程と、

上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、

上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、

高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、

上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、

上記基板を上記配線導体膜が上方に向くように設置して、上記基板上に硬化収縮機能を有する液状の絶縁樹脂を塗布する第6の工程と、

上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第7の工程と、

上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧して上記パンプの変形量がほぼ飽和する状態まで圧縮変形させる第8の工程と、

上記絶縁樹脂を硬化させる第9の工程とを備え、

上記第2の工程では、上記誘電体膜を上記パンプの下方に位置する部分では他の部分よりも厚くなるように形成し、

上記第8の工程では、上記誘電体膜の厚みをほぼ均一にする状態まで上記半導体チップを加圧することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はフリップチップ実装を用いた半導体装置及びその製造方法に関するものであり、特に準ミリ波～ミリ波帯で使用する高周波半導体装置及びその集積回路に関するものである。

【0002】

【従来の技術】 近年、情報通信分野における技術の進展は著しく、通信機器が扱う周波数帯もマイクロ波帯からミリ波帯へとより高い周波数への展開が図られている。それに伴ってこれらの通信機器に用いられるトランジスタの高速化も著しく、最近ではヘテロ接合化合物半導体トランジスタなどで100GHzを越えるカットオフ周波数をもつデバイスが実現されている。ところが、このようなマイクロ波～ミリ波の高周波を扱う通信機器においては、トランジスタ特性もさることながら、回路を構成する半導体チップの実装方法が問題になる。例えば実装工程を経た後に寄生容量や寄生インダクタンスが新た

に生じることが多く、これらの寄生容量等が通信機器に与える影響は、その通信機器が扱う周波数に比例して大きくなるため、高周波になればなるほどこれら寄生リアクタンス成分を小さく抑える必要がある。また、マイクロ波～ミリ波の周波数帯を扱う通信機器においては、回路を構成する部材間に存在する接続要素等の寸法が信号の波長と近づくために、設計時には接続要素の物理的寸法を十分考慮する必要が生じる。また、当然のことながら、受動素子や線路などの回路部品には極めて正確な精度が要求される。

【0003】 このような問題に対処しながら、低コスト・高性能で、かつ応用範囲の広い準ミリ波～ミリ波半導体集積回路を実現するための従来技術として、文献「電子情報通信学会1994年秋季大会講演論文集第39項」等に表示されるMFIC (Millimeter-wave Flip-chip IC) と呼ばれる技術が提案されている。この技術は、マイクロバンプボンディング法（以下MBB法と書く）とよばれるフリップチップ実装技術を用いて寄生効果を押さえたIC（モジュール）技術であり、半導体プロセスの精密性・量産性を活かしながら設計自由度をも確保し、高性能なミリ波帯ICを低コストで実現できるのが特徴である。

【0004】 図18は、このMFICの構造の一部を示す断面図である。同図において、符号と部材との関係は以下の通りである。1000はSi等の基板、1001は基板1000の主面上に形成されたAu膜からなる接地導体膜、1002はSiO₂膜からなる誘電体膜、1003は上記誘電体膜1002上に導電性材料を堆積した後パターンニングして形成された配線導体膜をそれぞれ示す。上記配線導体膜1003、接地導体膜1001及び誘電体膜1002によりマイクロストリップ線路が形成されている。なお、1004は配線導体膜1003中の電極パッドを示す。1008は化合物半導体等で構成された高周波トランジスタを内蔵する半導体チップを示し、半導体チップ1008の表面上の一部に電極パッド1007が設けられている。そして、電極パッド1007は、バンプ（マイクロバンプ）1006を介してマイクロストリップ線路の配線導体膜1003中の電極パッド1004に電氣的に接続されている。1005は光硬化性絶縁樹脂を示し、この光硬化性絶縁樹脂1005により半導体チップ1008が基板1000上に固定され、かつ光硬化性絶縁樹脂1005の収縮力によりバンプ1006による接続状態が強固なものとなっている。

【0005】 次に、上記図18に示すMFICを得るための製造工程について、図19(a)～(e)を参照しながら説明する。

【0006】 まず、図19(a)に示すように、マイクロストリップ線路が形成された基板1000上に光硬化性絶縁樹脂1005を滴下する。次に、図19(b)に示すように、半導体チップ1008の電極パッド100

7
7上に形成されているバンプ1006と基板1000上の配線導体膜1003中の電極パッド1004とをカメラ等を用いて位置合わせを行う。次に、図19(c)に示すように、半導体チップ1008を加圧治具1010で加圧すると、光硬化性絶縁樹脂1005がバンプ1006と電極パッド1004の間から排出されるとともに、バンプ1006は圧縮されて変形し、電極パッド1004中にめり込む。これにより、バンプ1006は電極パッド1004と接続される。次に、図19(d)に示すように、紫外線1011を照射して光硬化性絶縁樹脂1005を硬化させ、基板1000と半導体チップ1008とを固着する。そのとき、光硬化性絶縁樹脂1005が収縮するので、電極パッド1007と電極パッド1004間の接続状態がより強固となる。次に、図19(e)に示すように、硬化が終了してから、加圧治具1010を取り去って半導体チップ1008の基板1000への実装が完了する。

【0007】以上のようなMBB法によるフリップチップ実装技術を利用することにより、バンプ1006の厚みを数 μm 以下にすることができ、バンプ1006が介在することによる寄生インダクタンスは極めて低いレベル(数pH)に抑えることができ、ミリ波帯においても十分使用できる。すなわち、ハンダバンプを用いたフリップチップ実装により形成される半導体装置においては、バンプの寸法が50 μm 程度と大きいので、ミリ波帯を扱う回路内では分布定数回路つまりインダクタとして機能する。それに対し、MBB法によるフリップチップ実装を利用したMFICにおいては、バンプ1006の厚みを数 μm と小さくできるので、バンプ1006のインダクタとしての機能は無視することができる。また、MFIC内のマイクロストリップ線路は半導体プロセスを用いて作製できるので、アルミナ基板等の上に印刷技術を応用して配線を行う通常のハイブリッドICに比べてはるかに高精度のパターニングが実現できる。さらに、同じく半導体プロセスを用いるMMIC(Millimeter-wave Monolithic IC)に比べても、MFICにおいては、受動回路を化合物半導体基板上ではなくSi等の安価な基板上に形成できるので大幅な低コスト化が可能になる。

【0008】

【発明が解決しようとする課題】以上のように多くの利点を有するMFICではあるが、反面、以下のような問題もある。

【0009】第1の問題として、従来のMFICに用いるマイクロストリップ線路では、マイクロストリップ線路を通過する際における高周波信号の損失が大きい。すなわち、図18に示す誘電体膜1002としては一般的に誘電率の小さいSiO₂膜が用いられるが、その場合、Auで構成される下地の接地導体膜の上に10 μm を越えるような厚いSiO₂膜を成長させるのが困難で

ある。ところが、例えば特性インピーダンス50 Ω の線路を形成する場合、この厚みのSiO₂膜では線路幅Wと膜厚hとはほぼ $W=2h$ で表される関係に設定されるので、SiO₂膜が薄いとマイクロストリップ線路の線路幅Wを細く設定せざるを得ない。このため、線路の抵抗が大きくなり、導体損失つまり導体損が大きくなってしまう。しかも、SiO₂膜は誘電損いわゆるタンデルタ($\tan\delta$)が大きく、0.03程度である。このように、導体損及び誘電体損が大きいことから、マイクロストリップ線路を高周波信号が通過する際の損失が大きくなる。

【0010】そこで、10 μm を越えるような厚い膜を形成しうる適当な物質があれば、それを誘電体膜の構成材料として用いることにより、同じインピーダンスであっても線路幅を太くすることができ、導体損を小さくすることが考えられる。そのような比較的厚い絶縁膜を簡便に形成するために、LSIの多層配線の層間絶縁膜やパッシベーション膜で用いられているポリイミド等の有機系膜の成膜技術がある。この技術では、回転塗布工程と、ベーク工程という簡単な工程で比較的厚い誘電体膜を形成でき、さらにこの工程を繰り返すことにより膜を多層に塗ることで、さらなる厚膜化も可能である。また、有機系の膜はSiO₂等の無機系の膜に比べて膜質が柔らかいため、膜厚を増しても基板に与えるストレスも小さくでき、かつ基板との熱膨張係数の差による膜のひび割れや剥がれといった問題も解決しやすい。

【0011】本発明の第1の目的は、マイクロストリップ線路中の誘電体膜の構成材料として有機系膜の中でも特に高周波用半導体装置のマイクロストリップ線路を構成するために適切な材料を見出すことにより、導体損の増大を防止しながらインピーダンスを適正に調整しうる高周波用トランジスタを内蔵した半導体装置の提供を図ることにある。

【0012】しかるに、第2の問題として、MFICのマイクロストリップ線路中の誘電体膜として有機系膜を用いると、導体損は低減しうるものの設計通りの特性が得られない虞れがある。すなわち、図19(c)に示すバンプ1006を介して半導体チップ1008を実装する工程で、加圧治具で半導体チップ1008を基板1000に押しつける際、誘電体膜1002の膜質が柔らかいため電極パッド1004の下方で誘電体膜1002が変形してしまう。この付近で誘電体膜1002の膜厚が変われば、この部分の線路インピーダンスが設計値からずれてしまうので、設計通りの性能を実現するのが困難となる。

【0013】本発明の第2の目的は、有機系膜のような柔らかくかつ厚い誘電体膜を用いたマイクロストリップ線路を有するMFICにおいて、MBB実装の際における誘電体膜の変形を抑制しうる手段を講ずることによ

り、設計通りの特性インピーダンスを有するマイクロストリップ線路を実現することにある。

【0014】

【課題を解決するための手段】上記第1の目的を達成するために本発明では、以下のような第1、第2の半導体装置に関する手段を講じている。

【0015】本発明の第1の半導体装置は、請求項1に記載されるように、少なくとも一部に下地導体膜を有する基板と、上記下地導体膜の上に形成されベンゾシクロブテン（以下、BCBと略記する）膜からなる誘電体膜と、上記誘電体膜の上に形成された配線導体膜と、高周波トランジスタと該高周波トランジスタに接続される電極とを有し、上記基板上にフェースダウンで搭載された半導体チップと、上記電極と上記配線導体膜との間に介設され両者を接続するためのバンプとを備えている。そして、上記下地導体膜、誘電体膜及び配線導体膜によりマイクロストリップ線路が構成されている。

【0016】ここで、ベンゾシクロブテン（BCB）とは図2（a）に示す化学式で表される化合物を意味し、BCB膜とは、例えばBCB-DVSモノマーを溶剤に溶かして塗布した後ベーキングして得られるBCBを構造中に含む膜をいう。このBCB膜は、誘電率が2.7程度と低くかつ1度の塗布で30 μ m程度の厚い膜を容易に形成できることが分かった。しかも、本発明者の測定では、 $\tan \delta$ は60GHzで0.006程度とSiO₂よりも1桁程度小さい。したがって、高周波用のストリップ線路の誘電体膜に使用することにより、導体損及び誘電損が小さく維持され、通過する高周波信号の損失も低減されることになる。

【0017】本発明の第2の半導体装置は、請求項3に記載されるように、少なくとも一部に下地導体膜を有する基板と、上記下地導体膜の上に形成されBCB膜からなる第1の誘電体膜と、上記第1の誘電体膜の上に形成された第1の配線導体膜と、上記第1の配線導体膜の上に形成された絶縁膜からなる第2の誘電体膜と、上記第2の誘電体膜の上に形成された第2の配線導体膜と高周波用トランジスタと該高周波用トランジスタに接続される電極とを有し上記基板上にフェースダウンで搭載された半導体チップと、上記電極と上記第2の配線導体膜との間に介設され両者を接続するためのバンプとを備えている。そして、上記下地導体膜、第1の誘電体膜及び第1の配線導体膜によりマイクロストリップ線路が構成されており、上記第1の配線導体膜、上記第2の誘電体膜及び上記第2の配線導体膜によりMIMキャパシタが構成されている。

【0018】これにより、請求項1の作用効果に加え、ストリップ線路とMIMキャパシタとが第2配線導体膜を共有しながら積層された構造となるので、半導体装置の占有面積が低減されることになる。

【0019】請求項2又は4に記載されるように、請求

項1又は3において、上記半導体チップに内蔵される高周波トランジスタの動作周波数を10GHz以上とすることができる。

【0020】これにより、特に準ミリ波～ミリ波帯の高周波用トランジスタを搭載した半導体装置において、導体損の少ない良好な特性が得られる。

【0021】上記第2の目的を達成するために、本発明では、以下のような第3の半導体装置に関する手段を講じている。

【0022】本発明の第3の半導体装置は、請求項5に記載されるように、少なくとも一部に下地導体膜を有する基板と、上記下地導体膜の上に形成された誘電体膜と、上記誘電体膜上に形成され上記下地導体膜及び誘電体膜と共にマイクロストリップ線路を構成する配線導体膜と、高周波用トランジスタと該高周波用トランジスタに接続される電極とを有し、上記基板上にフェースダウンで搭載された半導体チップと、上記電極と上記配線導体膜との接続部に介設され両者を接続するためのバンプとを備えている。そして、上記半導体チップを上記基板上に搭載した後において、上記接続部における上記半導体チップの下面と上記誘電体膜の上面との間の寸法の上記半導体チップ搭載前の寸法からの変化量が、上記接続部下方における上記誘電体膜の厚みの上記半導体チップ搭載前の厚みからの変化量よりも大きい構成となっている。

【0023】これにより、電極と配線導体膜との接続部において、基板上への半導体チップの実装の際にバンプ下方及びその近傍における誘電体膜の膜厚の変化が抑制されるとともに仕上がり状態における誘電体膜の膜厚のばらつきも抑制されるので、設計時における特性インピーダンスからのずれが小さいマイクロストリップ線路を有する半導体装置が得られる。特に、高周波で動作する高周波モジュールにおいて、正確な特性制御が可能な実装構造を実現でき、かつインピーダンス不整合による誤動作の発生を防止することができる。

【0024】請求項6に記載されるように、請求項5において、上記誘電体膜をBCB、ポリイミド及びアクリルのうち少なくともいずれか1つを含む有機材料で構成することができる。

【0025】これにより、請求項5の効果に加えて、たとえば20～30 μ mの比較的厚い誘電体膜を容易に形成することが可能となり、幅の広いマイクロストリップ線路でたとえば特性インピーダンス50 Ω 程度のマイクロストリップ線路を有する半導体装置が得られる。

【0026】請求項7に記載されるように、請求項5において、上記バンプと電極とをいずれもAuを含む金属により構成することが好ましい。

【0027】請求項8に記載されるように、請求項5又は6において、上記バンプ及び電極のうち少なくともいずれか一方の変形量が飽和した状態で圧縮変形したと

きの上記誘電体膜の厚みの変化を10%以下とすることが好ましい。ここで、変形量が飽和した状態とは、圧縮方向に加工硬化しこれ以上塑性変形がほとんど生じない状態をいう。

【0028】これにより、請求項5又は6の効果に加え、半導体チップと配線導体膜との間隔を正確に制御でき、バンプのインダクタンスをできるだけ小さくすることができるとともに、バンプ近傍の配線導体膜のインピーダンスを一定に保つことができる。

【0029】請求項9に記載されるように、請求項5において、上記電極及び上記配線導体膜のうち少なくともいずれか一方に、信号及び電力の伝送に寄与しない衝撃緩衝用のダミーパッドを設けることができる。

【0030】これにより、半導体チップを基板上に搭載する際の荷重が分散されるので、電極と配線導体膜との接続時にバンプ1個当たりに加わる加重が小さくなり、半導体装置の実装に使用される加圧装置がある程度以上の高荷重しか印加できないというような制約があるときでも、バンプに必要以上の荷重が加わらないように調整することが可能となる。したがって、バンプ下方の誘電体膜に加わる衝撃力が緩和され、誘電体膜の変形量が抑制される。

【0031】請求項10に記載されるように、請求項9において、上記衝撃緩衝用のダミーパッドは上記半導体チップの周辺部に配設することが好ましい。

【0032】これにより、衝撃緩衝用のダミーパッドが半導体チップ上で対称に配置されるので、半導体チップ搭載時における応力のバランスが良好となり、電極と配線導体膜との接続状態が良好となり、かつ誘電体膜の変形量もより小さくなる。

【0033】請求項11に記載されるように、請求項5、9又は10において、上記半導体チップと上記配線導体膜との間に介設され、上記半導体チップ搭載荷重以下の荷重で変形が可能で信号及び電力の伝送には寄与しないダミーバンプをさらに備えることができる。

【0034】これにより、半導体チップを基板上に搭載する際の荷重が分散されるので、半導体装置の実装に使用される加圧装置がある程度以上の高荷重しか印加できないというような制約があるときでも、バンプに必要以上の荷重が加わらないように調整することが可能となる。

【0035】請求項12に記載されるように、請求項5において、上記半導体チップ搭載後における上記バンプの厚みは5 μ m以下であることが好ましい。

【0036】これにより、特に寄生インダクタンスが無視できる程度に小さい半導体装置が得られる。

【0037】請求項13に記載されるように、請求項5において、上記高周波トランジスタの動作周波数を10GHz以上とすることができる。

【0038】これにより、準ミリ波～ミリ波帯の高周波

用トランジスタを搭載しながら、ほぼ設計通りの特性インピーダンスを有するマイクロストリップ線路を備えた半導体装置が得られる。

【0039】請求項14に記載されるように、請求項5において、上記半導体チップと上記基板とが、上記電極と上記配線導体膜との接続部を含む領域に介在する光硬化収縮性絶縁樹脂により接着されている構成とすることができる。

【0040】これにより、上記電極と配線導体膜との接続部に圧縮応力が加わるので、両者の接続状態がより強固なものとなる。

【0041】請求項15に記載されるように、請求項5において、上記電極と配線導体膜との接続部において上記電極及び配線導体膜のうち少なくともいずれか一方の下に上記誘電体膜よりヤング率の小さな材料よりなる緩衝層を配設することができる。

【0042】これにより、半導体チップ搭載時に加圧力が接続部に印加されると、先に緩衝層が変形するので、誘電体膜の変形量が大きくならないうちにバンプがほぼ飽和した状態に圧縮変形される。したがって、誘電体膜に瞬間的に加わる力が緩和され、誘電体膜の変形が抑制される。

【0043】請求項16に記載されるように、請求項5において、上記電極と配線導体膜との接続部において上記電極及び配線導体膜のうち少なくともいずれか一方の下に空洞を設けることができる。

【0044】これにより、請求項15と同じ効果が得られる。

【0045】請求項17に記載されるように、請求項5において、上記バンプを、内部に少なくとも1つの空隙部を有する構成とすることができる。

【0046】これにより、半導体チップの搭載時にバンプが加圧されると、誘電体膜が加圧力を受けて変形するよりも前にバンプが圧縮変形される。したがって、誘電体膜に加わる瞬間的な加圧力が小さくなり、誘電体膜の変形が抑制される。

【0047】請求項18に記載されるように、請求項5において、上記半導体チップの上記接続部近傍でかつ接続部を挟む少なくとも2か所に、上記誘電体膜を構成する材料よりもヤング率の大きな材料からなり上記電極、バンプ及び配線導体膜の合計厚みよりも大きな高さ寸法を有する支持体を設けることができる。

【0048】これにより、半導体チップの搭載時にバンプに加圧力が加わるよりも先に支持体が基板上の誘電体膜に当接して誘電体膜を加圧する。そして、この圧力によって、接続部下方の誘電体膜には膜厚を増大させる方向に応力が生じるので、この応力と半導体チップ搭載時に加圧治具から配線導体膜を介して誘電体膜に作用する応力とが釣り合い、誘電体膜の変形が抑制される。

【0049】つぎに、上記第2の目的を達成するため

に、本発明では以下のような半導体装置の製造方法に関する手段を講じている。

【0050】本発明の第1の半導体装置の製造方法は、請求項19に記載されるように、基板上に下地導体膜を堆積する第1の工程と、上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第6の工程と、上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧しかつ加熱して上記パンプを変形量がほぼ飽和する状態まで圧縮変形させる第7の工程とを備え、上記第5の工程では、上記第7の工程における上記誘電体膜の厚みの変化が10%以下の時に上記パンプの変形量がほぼ飽和するような特性を有する材料で上記パンプを形成する方法である。

【0051】この方法により、有機樹脂膜の塗布により比較的厚い誘電体膜を下地導体膜の上に形成することができ、工程を簡素化できる。また、半導体チップを基板上に搭載する際に、パンプの変形量を一定にできるとともにパンプの下方及びその近傍における誘電体膜の厚みの変化を10%以下に抑制することができるので、パンプ近傍の配線導体膜のインピーダンスが正確に設計値になるように容易に制御することができる。したがって、高周波特性のばらつきが少なくインピーダンス不整合による誤動作を生じることがないという優れた特性を有する半導体装置を安価に製造することができる。

【0052】本発明の第2の半導体装置の製造方法は、請求項20に記載されるように、基板上に下地導体膜を堆積する第1の工程と、上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、上記基板を上記配線導体膜が上方に向くように設置して、上記基板上に硬化収縮機能を有する液状の絶縁樹脂を塗布する第6の工程と、上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、上記電極と配線導体膜との接続部同士を位置合わせする第7の工程と、上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧して上記パ

ンプを変形量がほぼ飽和する状態まで圧縮変形させる第8の工程と、上記絶縁樹脂を硬化させる第9の工程とを備え、上記第5の工程では、上記第8の工程における上記誘電体膜の厚みの変化が10%以下の時に上記パンプの変形量がほぼ飽和するような特性を有する材料で上記パンプを形成する方法である。

【0053】この方法により、第1の半導体装置の製造方法と同じ効果が得られる。

【0054】本発明の第3の製造方法は、請求項21に記載されるように、基板上に下地導体膜を堆積する第1の工程と、上記下地導体膜の上に有機樹脂からなる誘電体膜を形成する第2の工程と、上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、上記電極及び配線導体膜のうち少なくとも一方の表面上にパンプを形成する第5の工程と、上記基板を上記配線導体膜が上方に向くように設置して、上記基板上に硬化収縮機能を有する液状の絶縁樹脂を塗布する第6の工程と、上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第7の工程と、上記電極と上記配線導体膜とを上記パンプを介して接触させてから、上記半導体チップを下方に加圧して上記パンプを変形量がほぼ飽和する状態まで圧縮変形させる第8の工程と、上記絶縁樹脂を硬化させる第9の工程とを備え、上記第8の工程では、上記半導体チップを下方に加圧するとほぼ同時に上記パンプのみを軟化させて上記パンプを圧縮変形する方法である。

【0055】この方法により、パンプが圧縮変形する際にパンプのみが加熱軟化されるので、下方の誘電体膜をほとんど変形させずに半導体チップを基板上に搭載することがきわめて容易になる。したがって、第1の半導体装置の製造方法と同じ効果がより容易に得られる。

【0056】請求項22に記載されるように、請求項21において、上記第5の工程では、Auを含む金属を用いて上記パンプを形成し、上記第8の工程では、加圧とほぼ同時に上記半導体チップー基板間に超音波を印加することができる。

【0057】請求項23に記載されるように、請求項21において、上記第5の工程では、Auを含む金属を用いて上記パンプを形成し、上記第8の工程では、加圧とほぼ同時に上記パンプに電磁波を照射することができる。請求項22、23により、半導体チップを基板上に搭載する際に、半導体チップを加圧しながらパンプのみを容易に変形させることができる。

【0058】本発明の第4の製造方法は、請求項24に記載されるように、基板上に下地導体膜を堆積する第1の工程と、上記下地導体膜の上に有機樹脂からなる誘電

体膜を形成する第2の工程と、上記誘電体膜の上に配線導体膜を形成し、上記下地導体膜、上記誘電体膜及び配線導体膜によりマイクロストリップ線路を形成する第3の工程と、高周波用トランジスタと該トランジスタに接続される電極とを有する半導体チップを準備する第4の工程と、上記電極及び配線導体膜のうち少なくとも一方の表面上にバンプを形成する第5の工程と、上記基板を上記配線導体膜が上方に向くように設置して、上記基板上に硬化収縮機能を有する液状の絶縁樹脂を塗布する第6の工程と、上記半導体チップの電極と上記基板の配線導体膜とを対峙させて、両者の接続部において上記電極と配線導体膜とを位置合わせする第7の工程と、上記電極と上記配線導体膜とを上記バンプを介して接触させてから、上記半導体チップを下方に加圧して上記バンプを変形量がほぼ飽和する状態まで圧縮変形させる第8の工程と、上記絶縁樹脂を硬化させる第9の工程とを備え、上記第2の工程では上記誘電体膜を上記バンプの下方に位置する部分では他の部分よりも厚くなるように形成し、上記第8の工程では上記誘電体膜の厚みをほぼ均一にする状態まで上記半導体チップを加圧する方法である。

【0059】この方法によっても、半導体チップ搭載後の誘電体膜の膜厚がほぼ均一になるので、第1の半導体装置の製造方法と同様に、ほぼ設計通りのインピーダンスを有するマイクロストリップ線路を備えた半導体装置が得られる。

【0060】

【発明の実施の形態】

(第1の実施形態) 第1の実施形態は、誘電体膜の材質を改良するための構成に関する。

【0061】図1は、第1の実施形態に係る半導体装置の断面図である。図1において、符号と部材との関係は以下の通りである。100はガラス、Si等からなる基板、101は基板100の上に形成されたチタン、Auの積層膜からなる接地導体膜、102は後述のベンゾシクロブテン（以下、BCBと略する）からなる誘電体膜、103a～103cは誘電体膜103の上に例えばチタン、金を積層してなる配線導体膜をそれぞれ示す。各配線導体膜103a～103cのうち配線導体膜103aは誘電体膜102を接地導体膜101で挟んだMI

【0062】また、108は動作周波数が30GHzの高周波トランジスタが搭載された半導体チップ、107は半導体チップ108上の電極パッド、106は配線導体膜103a～103cと電極パッド107とを接続するためのバンプをそれぞれ示す。本実施形態では、フリ

ップチップ実装により、半導体チップ108と基板100とが、電極パッド107と配線導体膜103a～103cとの間でバンプ106を介して接続されている。なお、Lefは実装用のリードフレームであって、必要に応じて基板100の上に取り付けられるものである。

【0063】ここで、本実施形態の特徴である誘電体膜102を構成するBCB膜について、図2(a)～(c)を参照しながら説明する。

【0064】図2(a)はBCBの化学構造式を示す図、図2(b)はBCBを含むDVS-BCBモノマーの化学構造式を示す図である。図2(b)に示すDVS-BCBモノマーは、例えばダウケミカル社から商品名「サイクロテン5021（又は3022）」として市販されており、2つのBCBの間にDVSが介在する構造となっている。そして、このDVS-BCBモノマーを溶剤に溶かしてオリゴマー溶液を作成した後、このオリゴマー溶液を基板上に塗布し、N₂雰囲気中、250℃で60分間ベーキングすることにより、図2(c)に示すような架橋構造からなるBCB膜が得られる。本発明では、上記図2(a)に示すBCBを重合して得られる樹脂膜を一般的にBCB膜と記載し、必ずしも図2(c)に示す化学式で表される樹脂膜に限定されるものではない。

【0065】本実施形態に係るMFICでは、ハイブリッドICのごとく印刷技術を使用しなくても通常の半導体プロセスを利用してマイクロストリップ線路を形成しうる構造となっているので、パターン精度が向上する。また、Si、ガラス等の基板100を用いているので、化合物半導体基板を使用するものに比べて、従来のMMICに比べて製造コストも低減する。さらに、バンプの大きさが数μmと極めて小さくできるので、ミリ波帯の信号を扱う高周波トランジスタを内蔵する半導体チップの実装に使用しても、寄生インダクタを無視しうる程度に小さくすることができる。

【0066】加えて、本実施形態のごとく、誘電体膜102をBCB膜で構成することにより、1度の塗布で厚さが30μm程度の膜を容易に形成することができる。つまり、配線導体膜の線幅をも大きくすることができる。しかも、このBCB膜は比誘電率が2.7程度と低く、本発明者の測定では、BCB膜の誘電損失tanδは60GHzで0.006程度であり、SiO₂の誘電損失tanδよりも1桁程度小さいことがわかった。したがって、BCB膜により高周波用のストリップ線路の誘電体膜を構成することにより、導体損及び誘電損の小さいマイクロストリップ線路を構成することができ、通過する高周波信号の損失を大幅に低減することができる。

【0067】なお、本実施形態においては、理解を容易にするために、基板100上には1つの半導体チップ108が搭載されているとしたが、1つの基板上に複数の半導体チップを搭載してもよく、また、1つの半導体チ

ップ内に複数のトランジスタを設けてもよい。これは、後述する各実施形態についても同じである。

【0068】(第2の実施形態)図3は、第2の実施形態に係るMFICの断面図である。同図に示すように、本実施形態では、厚みが300 μ m程度のSiからなる基板100の上に厚みが1 μ m程度のAuからなる接地導体膜101が堆積されており、その上に厚みが25 μ m程度のBCB膜からなる第1誘電体膜102aが堆積され、さらに第1誘電体膜102aの上に厚みが1 μ m程度のチタン、Auの積層膜からなる第1配線導体膜103xが形成されている。上記接地導体膜101、第1誘電体膜102a及び第1配線導体膜103xによりマイクロストリップ線路が構成されている。

【0069】ここで、本実施形態の特徴として、第1配線導体膜103x及び第1誘電体膜102aの上に厚みが500nm程度のシリコン窒化膜(又はシリコン酸化膜)からなる第2誘電体膜102bが堆積されていて、その上に第2配線導体膜103yが形成されている。上記第1配線導体膜103x、第2誘電体膜102b及び第2配線導体膜103yによりMIMキャパシタが構成されている。

【0070】そして、上記第2配線導体膜103yと半導体チップ108の電極パッド107とがバンプ106を介して接続されている。

【0071】本実施形態では、マイクロストリップ線路とMIMキャパシタとを立体的に構成し、第1配線導体膜103xを両者で共有するようにしたので、MFIC中における受動素子の占有面積を低減することができ、MFICの小型化を図ることができる。

【0072】(第3の実施形態)ここで、第3の実施形態以下の実施形態において、本発明が講じた基本的な手段について説明する。上述のような従来のMFICにおけるMBB実装時の誘電体膜の変形は、加圧治具による加圧の加速度が大きく、バンプが圧縮変形するより先にその力が誘電体膜に伝わってしまうことが原因であると考えられる。従って、誘電体膜の厚みの変化が少ない

(例えば10%以内)状態で、バンプまたはパッドの弾性変形量が飽和した状態に圧縮変形するよう、バンプやパッドの材料、あるいは加圧時の荷重を制御することができれば、誘電体膜の膜厚の変化を可及的に抑制し得るはずである。誘電体膜に力が伝わるより先にバンプを圧縮変形させるには、なるべく低速度で加圧するか、なるべく小さな加重を印加しなければならない。しかし、加圧装置の加圧速度や加圧値の制御機能には限界があり、加圧装置の制御のみでは誘電体膜の膜厚の変化を有効に防止することができないことが判明した。そこで、以下の各実施形態では、バンプやパッドの構造を改良することにより誘電体膜の変形を抑制するための対策について説明する。

【0073】まず、第3の実施形態について、図面を参

照しながら説明する。図4は第3の実施形態の配線基板の断面図である。図4に示す配線基板において、各符号と部材との関係は、以下の通りである。201はシリコン基板、202はTi・Au・Ti膜等からなる接地導体膜、203はBCB膜等の有機絶縁膜よりなる誘電体膜、204はAu等からなる配線導体膜、205は配線導体膜204の電極パッド、206はAuよりなるバンプ、210は誘電体膜203の所望の位置に形成されたスルーホールを示す。以上の各部材によって、回路基板である配線基板211が構成されている。すなわち、配線基板211は、導体となる接地導体膜202上に誘電体膜203を有し、この誘電体膜203上に配線導体膜204を備えている。

【0074】図5は、上記配線基板211を用いて形成される高周波モジュールの断面図である。同図に示すように、配線基板211の上に、高周波トランジスタを内蔵する半導体チップ207が搭載されており、半導体チップ207の電極パッド208と配線基板211上の配線導体膜204とがバンプ206を介して接続されている。

【0075】本実施形態では、後述のように、半導体チップ207の搭載時の加圧によるバンプ206の塑性変形量が誘電体膜203の弾性変形量よりも大きくなるように、誘電体膜203よりも硬度の柔らかいものを適用している。この点が本実施形態の特徴である。

【0076】図6(a)～(f)は、本実施形態における高周波モジュールの製造工程を示す断面図である。

【0077】まず、図6(a)に示すように、シリコン基板201上に蒸着等によりTi・Au・Ti等からなる接地導体膜202を形成し、接地導体膜202上にスピコート法によりBCB膜を塗布し、ソフトキュアおよびハードキュアを経て所望の厚みのBCB膜よりなる誘電体膜203を形成する。このとき、BCB以外の有機系絶縁物たとえばポリイミドやアクリル等により誘電体膜203を形成してもよい。次に、所望の位置にフォトリソグラフィ技術とドライエッチングおよびウェットエッチング技術を用いスルーホール210を形成する。このとき、感光性のBCB、ポリイミド等を用いフォトリソグラフィ技術と組み合わせスルーホール210を同時に形成することも可能である。

【0078】つぎに、図6(b)に示すように、真空蒸着法等の薄膜形成法によりTi・Au等のめっき用の種薄膜を形成し、フォトリソグラフィ等の技術、電解めっき法等のめっき技術を用い種薄膜上にAu等からなる配線導体膜204および電極パッド205を形成し、エッチング技術を用い種薄膜を除去する。また、このとき、必要に応じて、後述のダミーバンプ218を形成するためのダミーパッド217を形成する。

【0079】次に、図6(c)に示すように、前工程と同様のフォトリソグラフィ技術と電解めっき法等を用

い、電極パッド205上にAuよりなるバンプ206を所望の高さだけ形成し、配線基板211を構成する。このとき、バンプ206は配線基板211上の電極パッド205上に形成したが、半導体チップ207の電極パッド208上に形成することも可能である。

【0080】また、バンプ206はめっき条件等を適当な条件としできるだけ硬度の柔らかいものを形成し、ビッカース硬度で50Hv以下とするのが望ましい。また、このとき、必要に応じて、ダミーバンプ218を同時に形成する。このダミーバンプ218やダミーパッド217は信号の伝送や電力の供給とは無関係である。そして、ダミーバンプ218及びダミーパッド217は、半導体チップ207に加わる加圧装置である加圧治具212の最低荷重以下で変形可能に構成されている。ダミーバンプ218は加圧治具212が高荷重しか加えられないとき、荷重を分散し、バンプ206に必要な以上の荷重が加わらないようにする効果がある。

【0081】次に、図6(d)に示すように、回路基板211上の所望の位置に光硬化性絶縁樹脂209を塗布し、バンプ206と半導体チップ207の電極パッド208とが対応する位置に対向して電気接続できるように、半導体チップ207と配線導体膜204との位置合わせを行う。

【0082】次に、図6(e)に示すように、加圧装置の加圧治具212により、半導体チップ207に対して、配線基板211の電極パッド205の圧縮変形量がほぼ飽和した状態になるまで塑性変形するような荷重を加える。このとき、バンプ206の圧縮変形量もほぼ飽和した状態まで塑性変形している。この状態で、紫外線213を照射して、光硬化性絶縁樹脂209を硬化させる。

【0083】次に、図6(f)に示すように、加圧治具212を除去し、回路基板211上への半導体チップ207の搭載を完了する。以下、同様の工程を繰り返しモジュールを完成する。

【0084】ここで、本実施形態の特徴であるバンプの変形特性について説明する。バンプ206のひずみと荷重との関係は、次の式(1)で表される真応力-ひずみ曲線で表される。

$$\sigma_t = K \varepsilon_t^n \quad \dots (1)$$

ここで、Kは強度係数(または、ひずみ硬化係数)、nは加工硬化係数、 σ_t は真応力、 ε_t は真ひずみをそれぞれ示す。強度係数Kは引張り強さの最大値で表され、加工硬化係数nは最高荷重点での真ひずみ ε_t に等しい。図7は貴金属の科学応用編(田中一郎監修、田中貴金属工業(株)刊)に示されるAuの冷間加工時の硬度とひずみに関する特性を示すグラフであり、このデータから、例えばビッカース硬度40Hvのときの引張り強さの最大値は18(kg/mm²)となる。すなわち、強度係数は18(kg/mm²)と表され、このと

きの伸び量は20%であるのでこのときの真ひずみ量、すなわち加工硬化係数は、下記式(2)に従い0.182と計算される。

$$[\text{0086}] \quad \varepsilon_t = \ln(1 + \varepsilon) \quad \dots (2)$$

よってAuのビッカース硬度40Hvのときの真応力-真ひずみ曲線は下記式(3)のように表される。

$$[\text{0087}] \quad \sigma_t = 18 \varepsilon_t^{0.182} \quad \dots (3)$$

また、このときもとの高さを1。とすると加圧後のバンプ206の高さ1は式(4)で表され、加圧後のバンプ206の底面積Aは、加圧前の底面積をA₀。とすると、下記式(5)により表される。また、バンプ206に最初に加えた圧縮応力 σ は、下記式(6)により表される。

$$[\text{0088}] \quad l = 1 \cdot (1 - \varepsilon_t) \quad \dots (4)$$

$$A = A_0 \cdot \{1 / (1 - \varepsilon_t)\} \quad \dots (5)$$

$$\sigma = \sigma_t / (1 - \varepsilon_t) \quad \dots (6)$$

図8はバンプ206の高さが10 μ m、直径が20 μ m、硬度が40Hvの場合におけるバンプ1個あたりに加えられた荷重とバンプの高さの変化を表すグラフである。バンプ206を1.8 μ mの高さまで変形させるのに32(g/bump)の荷重が必要であり、このときのバンプ206の半径は式(5)より24.5 μ mとなる。この図8に示す特性から判断して、この状態より荷重を大きく増加させてもバンプ206には1 μ m以上の変形はなく、所望の電気特性上ほぼ飽和した状態と考えて良いと思われる。

【0089】一方、誘電体膜203を構成するBCB膜のヤング率は2.6(GPa)であり、荷重によるBCB膜のひずみ ε は下記式(7)により表される。

$$[\text{0090}] \quad \varepsilon = F / ES \quad \dots (7)$$

ここで、 ε はひずみ、Fは荷重、Eはヤング率、Sは加圧面積を表す。また、誘電体膜203の変形とバンプ206の変形が同時に発生するため、誘電体膜203の加圧面積Sは、加圧前の式(5)に従い変化する。

【0091】図9は、バンプ206の高さが10 μ m、直径が20 μ m、硬度が40Hvの場合のバンプ一個あたりに加えられた荷重と誘電体膜203を構成するBCB膜の変形率を表したグラフを示す。BCB膜の厚みの変化は7%未満でほぼ一定になることがわかる。このBCB膜の厚みの変化が10%以内であれば、BCB膜の厚みの変化が少なく、特性インピーダンスへの影響が少ない。

【0092】このように、導体膜上に形成する誘電体膜203をBCB等からなる有機系樹脂より構成し、誘電体膜203上に配線導体膜204を形成した配線基板211上に複数の半導体チップ7をフェースダウンでバンプ206を介して搭載した構成において、バンプ206または配線基板211上の電極パッド205が誘電体膜203の弾性変形量より大きく塑性変形するように構成することにより、具体的には、上述のように、バンプ2

06または電極パッド205の圧縮変形量がほぼ飽和した状態まで塑性変形させた状態で、誘電体膜203の厚みの変化が10%以下とるように構成することにより、 $20\mu\text{m}\sim 30\mu\text{m}$ といった比較的厚い絶縁膜を容易に形成することが可能となり、幅の広い線路で例えば特性インピーダンス 50Ω といった線路の形成が可能となる。また、バンパ206の高さは飽和状態に圧縮されたときの最小の値で一定となるが、このときバンパ206下の配線導体膜204下の誘電体膜203の厚みの変化を10%以内とすることが可能となるため、バンパ部分およびバンパ近傍の配線導体膜のインピーダンスをほぼ設計値どおりに制御することが可能となり、高周波で動作する高周波モジュールにおいて、安価に正確な特性制御が可能な実装構造を提供でき、インピーダンス不整合による誤動作の発生を無くすることが可能となる。特に、図6(a)～(f)に示す製造方法によって、上述のような優れた性能を有する高周波モジュールを容易に実現することができる。

【0093】また、本実施形態では電極パッド205およびバンパ206の変形量が飽和した状態に圧縮変形したが、電極パッド205、208およびバンパ206のいずれか一のみが飽和した状態に圧縮変形し、そのとき誘電体膜203の厚みの変化が10%以内であるものとしてもよい。

【0094】また、光硬化性絶縁樹脂209で半導体チップ207を固定したが、半導体チップ207を加圧するとともに加熱して固着してもよい。

【0095】さらに電極パッド205、208がバンパ206と同様にAuにより形成されてもよい。

【0096】また、配線基板211は、導体基板または一主面に導体層を形成した絶縁基板上に誘電体膜を形成したものでよい。

【0097】また、配線導体膜204を形成する前の薄膜は、誘電体膜203上に接地導体膜202の導体材料と同一または異なった導体材料より形成してもよい。

【0098】(第4の実施形態)図10は、第4の実施形態における半導体チップ中のバイポーラトランジスタの配線図である。また、図11(a)は、図10中のバイポーラトランジスタ部分の構造のみを拡大して示す平面図であり、図11(b)は図11(a)に示すI-I線における断面図である。

【0099】図10及び図11(a)、(b)に示すように、上記第3の実施形態における半導体チップ207と同じ構成を有する半導体チップ207には、その内部に搭載されたバイポーラトランジスタ5の各端子に接続されるパッドが設けられている。すなわち、バイポーラトランジスタ5のベース端子5bに接続されるベースパッド1と、コレクタ端子5cに接続されるコレクタパッド2と、エミッタ端子5eに接続されるエミッタパッド3a～3fとが設けられている。

【0100】さらに、本実施形態の特徴として、半導体チップ207の4つのコーナー部には、バイポーラトランジスタ5の各端子には接続されていない4つのダミーパッド4a～4dが設けられている。本来、バイポーラトランジスタはエミッタ・ベース・ドレインの3端子の構造であるから3つのパッドがあれば、基板との電氣的接続が可能である。ところが、本実施形態では、6つのエミッタパッド3a～3fに加えて4つのダミーパッド4a～4dを設け、合計12個ものパッドを設けている。このように、ダミーパッド4a～4dを追加するなどパッドの数を増やすことによってバンパ1個あたりの荷重を減らすことができるので、それぞれのバンパに対して加圧装置の制御可能な最低荷重よりも小さな荷重で加圧することが可能になる。したがって、半導体チップ207の搭載時に誘電体膜203が変形する前にバンパ208を圧縮変形させることができ、誘電体膜203の変形を抑制することができる。つまり、ダミーパッド4a～4fによりバンパの数を調整することで、誘電体膜を変形させない適正な荷重を実現することができる。すなわち、上記第3の実施形態では配線導体膜204にダミーパッドを形成したが、本実施形態では半導体チップにダミーパッドを形成したものであり、このような構成によっても、上記第3の実施形態と同様に、誘電体膜の変形抑制作用が得られる。

【0101】なお、本実施形態ではエミッタ接地での使用を想定して6つのエミッタパッド3a～3fを設けているが、このエミッタパッド3a～3fによりエミッタのインダクタンスを減らすという効果も期待できる。

【0102】また、どの端子にも接続されていないダミーパッド4a～4bは、信号線に影響を与えないようになるべく半導体チップ207の周辺に持ってくるのが望ましい。とくに、半導体チップ207の4つのコーナー部に配置するのが荷重を安定に行う上からも効果的である。

【0103】また、各バンパへの荷重が偏らないようにパッドはできるだけ対称に配置し、密度も均一であるのが望ましい。図10には示していないが、半導体チップ207の電極パッドに対抗する基板側にもパッドを用意し、また半導体チップ側の各電極パッドにはバンパを形成してもよい。その場合、半導体チップ207のダミーパッド4a～4dに対応する基板側のパッドは、特にどこにも接続されていないか、あるいは接地されていることが望ましい。

【0104】(第5の実施形態)第5の実施形態は、図19(a)～(e)に示す従来のMBBプロセスの一部を改良し、誘電体膜の変形を抑制する方法に関する。

【0105】図12は、第5の実施形態における半導体装置の実装工程の一部を示し、従来のMBB工程中の図19(c)に相当する工程を示す断面図である。つま

り、MBB法で加圧される直前の半導体チップ308と

基板300との間の一つの接続部の付近を拡大したものである。図12において、符号と部材との関係は以下の通りである。300はSi等の基板、301は基板300の主面上に形成されたAuからなる接地導体膜、302はSiO₂からなる誘電体膜、303は上記誘電体膜302上に導電性材料を堆積した後パターンニングして形成された配線導体膜をそれぞれ示し、配線導体膜303、接地導体膜301及び誘電体膜302によりマイクロストリップ線路が形成されている。なお、304は配線導体膜303中の電極パッドを示す。308は化合物半導体等で構成された高周波トランジスタを内蔵する半導体チップを示し、その一部に電極パッド307が設けられている。そして、電極パッド307は、パンプ306を介して上記マイクロストリップ線路の配線導体膜303上の電極パッド304に電気的に接続されている。305は光硬化性絶縁樹脂を示し、この光硬化性絶縁樹脂305により半導体チップ308が基板300上に固定され、かつ光硬化性絶縁樹脂305の収縮力によりパンプ306による接続状態が強固なものとなっている。

【0106】本実施形態の特徴として、加圧治具310で半導体チップ308を加圧する際、ほとんどパンプ106のみに電磁波320を照射してパンプ306の温度を上げ、パンプ306を融解あるいは軟化させるようにしている。あるいは、加圧治具310と基板300の保持具（図示せず）との間に超音波を印加することで、パンプの温度を上昇させるようにしてもよい。

【0107】本実施形態では、このようなパンプ306を軟化させる工程を追加することにより、加圧時にパンプが変形しやすくなり、誘電体膜302を大きく変形させることなく半導体チップを実装することが可能となる。なお、本実施形態の製造工程において、図12に示す工程以外の工程は、上記図19(a)～(e)に示す従来の実装工程と同様である。

【0108】（第6の実施形態）第6の実施形態は、実装する半導体チップの電極パッドの構造を改良することにより、基板側の誘電体膜の変形を抑制する方法に関する。

【0109】図13は、第6の実施形態における半導体装置の実装工程の一部を示し、従来のMBB工程中の図19(c)に相当する工程を示す断面図である。つまり、MBB法で加圧される直前の半導体チップ308と基板300との間の一つの接続部の付近を拡大したものである。図13において、上述の第5の実施形態における図12と同じ符号を付した部材はすでに説明した通りであり、本実施形態においては説明を省略する。

【0110】本実施形態の特徴は、半導体チップ308の電極パッド307の下地として基板側の誘電体膜302よりヤング率の小さい（柔らかい）緩衝膜330を設けた点にある。すなわち、半導体チップ308を加圧する際、この緩衝膜330が先に弾性変形するので、基板

300の誘電体膜302の変形を防止することができ、緩衝膜330には、例えばポリイミド膜等の有機系の絶縁膜を用いているが、基板300上の誘電体膜302（本実施形態ではBCB膜）よりヤング率が小さく、変形しやすいものであればよい。

【0111】（第7の実施形態）第7の実施形態は、実装前のパンプの構造に工夫を加えることにより、基板側の誘電体膜の変形を抑制する方法に関する。

【0112】図14は、第7の実施形態における半導体装置の実装工程の一部を示し、MBB法で加圧される直前の半導体チップ308と基板300との間の一つの接続部の付近を拡大したものである。図14において、第5の実施形態における図12と同じ符号を付した部材はすでに説明した通りであり、説明を省略する。

【0113】本実施形態の特徴は、パンプ306が内部に空洞340を多く含む構造となっている点である。すなわち、半導体チップ308を加圧する際、この空洞340がつぶれてパンプがたやすく変形するために、基板300の誘電体膜302を変形させることなくMBB実装が実現できる。このような空洞340を多く含むパンプを作製するには、例えば有機溶剤に金属粉を混ぜたものをパンプに整形し、後に溶剤を気化させるなどして実現できる。また、必ずしも空洞340でなくても、例えば多数の溝を形成したり、連続孔を有する多孔性のパンプであってもよい。

【0114】（第8の実施形態）第8の実施形態は、実装前の基板側の誘電体膜及び配線導体膜の構造を工夫することにより、基板側の誘電体膜の変形を抑制する方法に関する。

【0115】図15は第8の実施形態における実装前におけるMFICの基板300の一部を示す断面図である。

【0116】本実施形態においても、Si等の基板300上に、接地導体膜301と、BCB膜からなる誘電体膜302と、Au膜等で構成された配線導体膜303とが設けられている点は上記各実施形態における配線基板の構造と同じである。しかし、本実施形態では、配線導体膜303の電極パッド304が他の部分よりも上方に位置するように、つまりチップ実装時の加圧で変形し膜厚が減少することを見込んで、誘電体膜302のうち電極パッド304下方に位置する部分を他の部分よりもあらかじめ厚く形成している。すなわち、実装時の加圧による誘電体膜302の変形後、電極パッド304下方における誘電体膜302の厚さが他の部分における厚さとはほぼ同一になり、インピーダンスの乱れを減少することができる。誘電体膜302をこのような形状にしておくには、たとえば、あらかじめ厚く誘電体膜302を形成しておき、エッチングにより、誘電体膜302のうち電極パッド304下方の部分を除く部分を選択的に除去することで容易に実現できる。

【0117】(第9の実施形態)第9の実施形態は、誘電体膜の電極パッド以外の部分に圧力を加えることにより、電極パッドにおける誘電体膜の変形を抑制する方法に関する。

【0118】図16は、第9の実施形態における半導体装置の実装工程の一部を示し、MBB法で加圧される直前の半導体チップ308と基板300との間の一つの接続部の付近を拡大したものである。図16において、第5の実施形態における図12と同じ符号を付した部材はすでに説明した通りであり、説明を省略する。

【0119】本実施形態の特徴は、半導体チップ308の電極パッド304の両脇に支持柱360を設けた点にある。この支持柱360は、電極パッド307とパンプ306と電極パッド304との高さの合計よりも高く、かつ、基板300上の誘電体膜302よりも十分堅い材料で構成する。加圧時には、この支持体360が先に誘電体膜302を押し下げて変形させるので、誘電体膜302の両支持柱360間の部分では電極パッド304を上方に押し上げる力が生じる。そして、電極パッド304を押し上げる力とパンプ306から加わる圧力とが釣り合うことにより、誘電体膜302の変形が可及的に抑制される。なお、支持柱360の下方における誘電体膜302の膜厚は薄くなってしまうが、支持柱360が当接する部分に配線導体膜が存在しないようにあらかじめ設計しておけば問題ない。

【0120】(第10の実施形態)第10の実施形態は、電極パッド部の構造を改良することにより、誘電体膜の変形を抑制する方法に関する。

【0121】図17は、第10の実施形態における半導体装置の実装工程の一部を示し、MBB法で加圧される直前の半導体チップ308と基板300との間の一つの接続部の付近を拡大したものである。図17において、第5の実施形態における図12と同じ符号を付した部材はすでに説明した通りであり、説明を省略する。

【0122】本実施形態では、基板300上にエブリッジ技術によって電極パッド部304の下部に空洞370を形成する。このような空洞370をあらかじめ形成しておくことで、加圧時にまずこのエブリッジ部の空洞370が簡単に潰れるため、誘電体膜302の変形を抑制することが可能になる。

【0123】なお、半導体チップの電極パッドの構造をエブリッジ状にしても同様の効果が得られる。

【0124】(第11の実施形態)第11の実施形態は、電極パッド部の構造を改良することにより、誘電体膜の変形を抑制する方法に関する。

【0125】図20(a)、(b)は、第11の実施形態における半導体装置の実装工程の一部を示し、MBB法で加圧された後の半導体チップ308と基板300との間の一つの接続部の付近を拡大した断面図及び配線導体膜303の形状を示す平面図である。図20(a)、

(b)において、第5の実施形態における図12と同じ符号を付した部材についてはすでに説明した通りであり、説明を省略する。

【0126】本実施形態では、誘電体膜302の変形を抑制する手段は講じていない。その代わりに、配線導体膜303の幅Wを誘電体膜302の厚みhの変化を見込んで特性インピーダンスを一定に保つことができるような形状としておく。具体的には、例えばBCB膜で構成される誘電体膜302の厚みが $20\mu\text{m}$ 程度のとき、特性インピーダンス 50Ω のマイクロストリップ線路であれば、 $W=2.6h$ の関係が成立する形状としておく。半導体チップ308搭載前には誘電体膜302の厚みがh1で、半導体チップ308の搭載後には接続部における誘電体膜302の厚みがh2に変化したものとする。このとき、 $W1=2.6h1$ 、 $W2=2.6h2$ の関係がいずれも成立するように、配線導体膜303の形状を定めておくことにより、特性インピーダンスを一定に保持することができる。言い換えると、配線導体膜303の大部分の領域における幅W1に対して、電極パッド部304の幅W2は変形後の厚みの減少を見込んで他の部分よりも狭くしておく。

【0127】本実施形態では、誘電体膜の変形に起因する誘電率の変化を許容しながら、その変化に応じて配線導体膜303の平面形状を定めておくことで、特性インピーダンスを一定に保持することができる。なお、配線導体膜303の幅の狭い部分は極めて一部に限られるので、マイクロストリップ線路の導体損にはほとんど悪影響を与えない。

【0128】なお、上記第3～第10の実施形態の構造に加えて、本実施形態のような配線導体膜を誘電体膜の厚みの変化を考慮した形状にしておくこともできる。すなわち、それらの実施形態においても、誘電体膜の厚みの変化がわずかに生じうるので、例えば厚みの変化が5%であれば、電極パッド部における配線導体膜の幅を他の部分よりも5%狭くしておくことにより、特性インピーダンスをより微細に調整し、極めて良好な高周波特性を発揮することができる。

【0129】

【発明の効果】請求項1～4によれば、高周波トランジスタを搭載した半導体装置において、マイクロストリップ線路中の誘電体膜をBCB膜により構成したので、BCB膜の厚膜の形成が容易でしかも誘電損が小さいという性質を利用して、導体損や誘電損による高周波信号の損失の極めて小さいマイクロストリップ線路を備えた半導体装置の提供を図ることができる。

【0130】請求項5～18によれば、高周波トランジスタを搭載しMBB法により形成される半導体装置において、接続部における半導体チップ下面と誘電体膜上面との間の寸法変化を当該箇所における誘電膜の厚みの変化よりも小さくする構成としたので、ほぼ設計通りのイン

ピーダンス値を有するマイクロストリップ線路を備えた半導体装置の提供を図ることができる。

【0131】請求項19～24によれば、高周波トランジスタを搭載した半導体装置をMBB実装により形成するようにした半導体装置の製造方法において、半導体チップ側の電極と基板側の配線導体膜との接続部の下方における誘電体膜の変形を抑制しながらバンパのみを大きく塑性変形させるようにしたので、ほぼ設計通りのインピーダンス値を有するマイクロストリップ線路を備えた半導体装置を安価に製造することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係るMFICの断面図である。

【図2】BCBの化学式、BCBモノマーの化学式、BCB重合体の構造をそれぞれ示す図である。

【図3】第2の実施形態に係るMFICの一部を示す断面図である。

【図4】第3の実施形態に係る配線基板の断面図である。

【図5】第3の実施形態におけるMFICの断面図である。

【図6】第3の実施形態に係るMFICの製造工程を示す断面図である。

【図7】第3の実施形態に係るバンパを構成するAuの冷間加工時における硬度とひずみとに関する特性図である。

【図8】第3の実施形態においてバンパ1個当たりに加えられた荷重とバンパの高さの変化を示す特性図である。

【図9】第3の実施形態においてバンパ1個当たりに加えられた荷重とBCB膜からなる誘電体膜の厚みの変化を示す特性図である。

【図10】第4の実施形態における半導体チップの平面図である。

【図11】第4の実施形態におけるバイポーラトランジスタの部分を拡大して示す平面図及び断面図である。

【図12】第5の実施形態におけるMFICの実装工程中のバンパに圧力を印加する直前の状態を示す断面図である。

【図13】第6の実施形態におけるMFICの実装工程中のバンパに圧力を印加する直前の状態を示す断面図である。

【図14】第7の実施形態におけるMFICの実装工程中のバンパに圧力を印加する直前の状態を示す断面図である。

【図15】第8の実施形態におけるMFICの基板の一部を示す断面図である。

【図16】第9の実施形態におけるMFICの実装工程中のバンパに圧力を印加している状態を示す断面図である。

【図17】第10の実施形態におけるMFICの基板の一部を示す断面図である。

【図18】従来のMFICの断面図である。

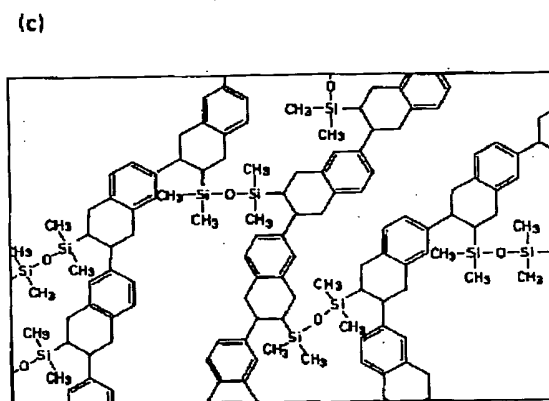
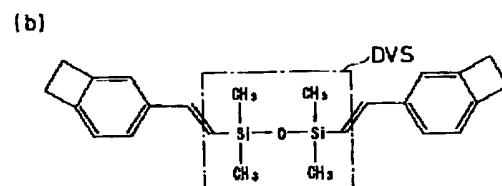
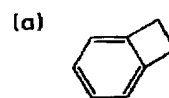
【図19】従来のMBB法による工程を示す断面図である。

【図20】第11の実施形態におけるMFICの実装工程中のバンパに圧力を印加した直後の状態を示す断面図である。

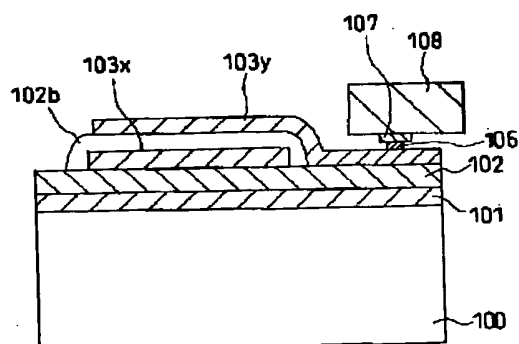
【符号の説明】

- 1 ベースパッド
- 2 コレクタパッド
- 3 a～3 f エミッタパッド
- 4 a～4 d ダミーパッド
- 5 トランジスタ
- 5 b ベース端子
- 5 c コレクタ端子
- 5 e エミッタ端子
- 100 基板
- 101 接地導体膜
- 102 誘電体膜
- 103 配線導体膜
- 104 電極パッド
- 105 光硬化性絶縁樹脂
- 106 バンパ
- 107 電極パッド
- 108 半導体チップ
- 110 加圧治具
- 111 紫外線
- 120 電磁波
- 130 緩衝膜
- 140 空洞
- 160 支持柱
- 170 空洞

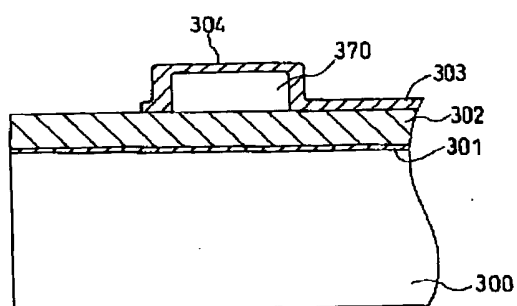
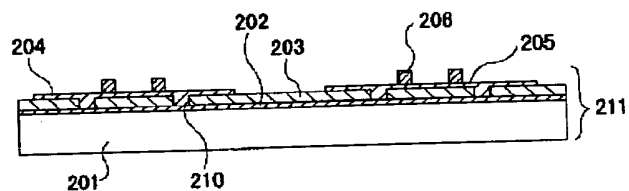
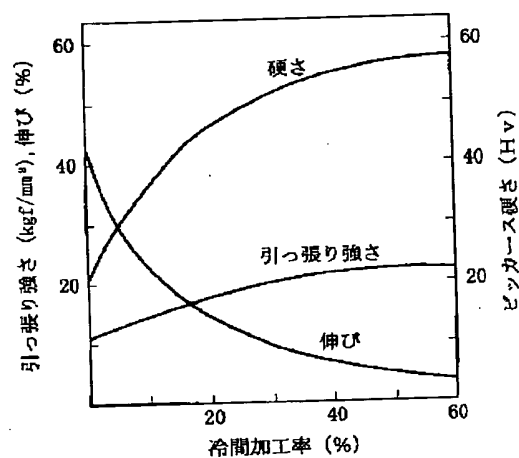
【図2】



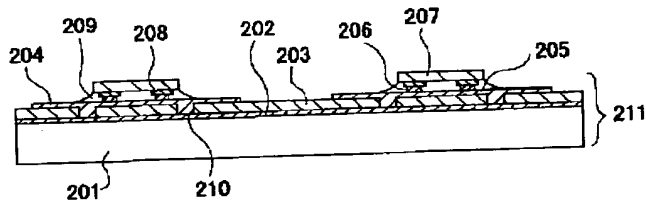
【図4】



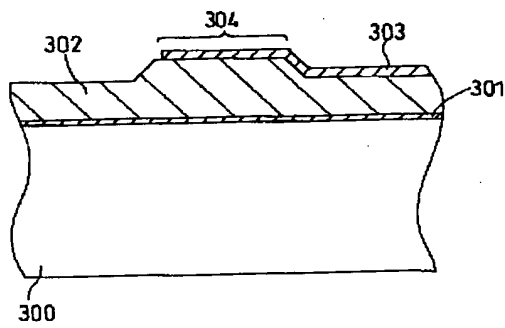
【图 17】



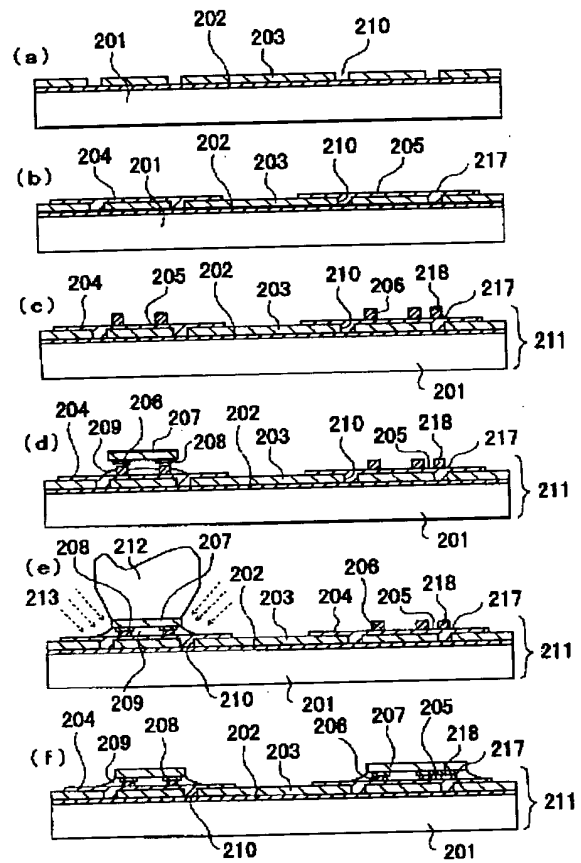
【図5】



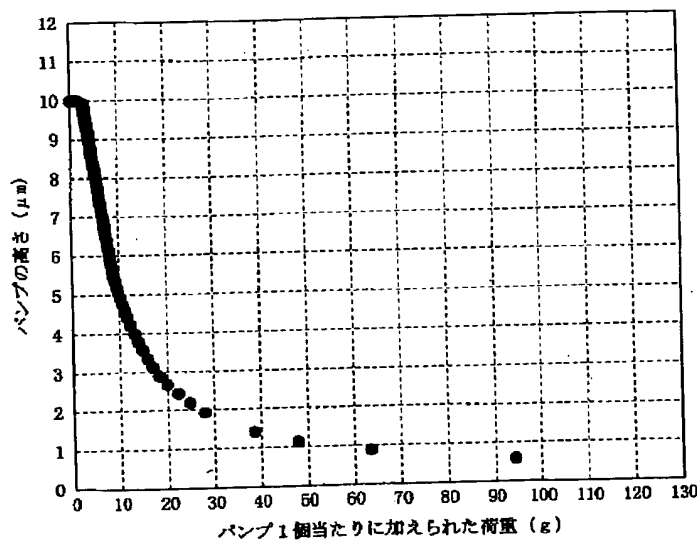
【図15】



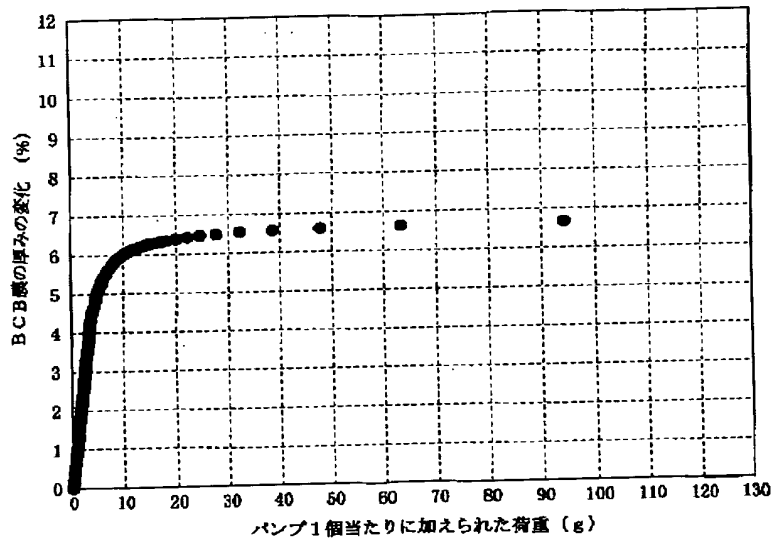
【図6】



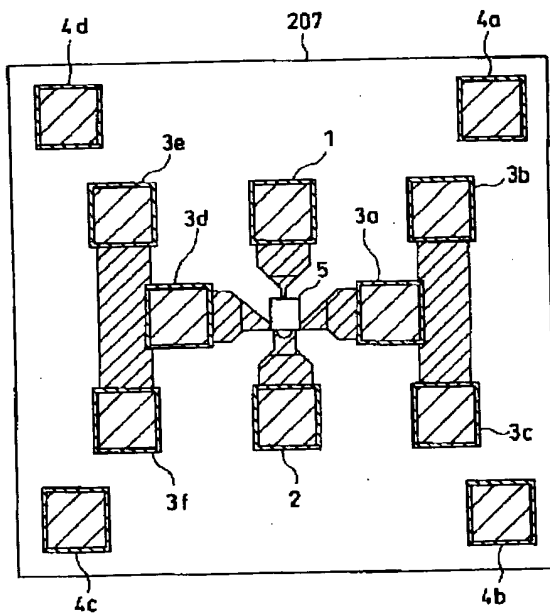
【図8】



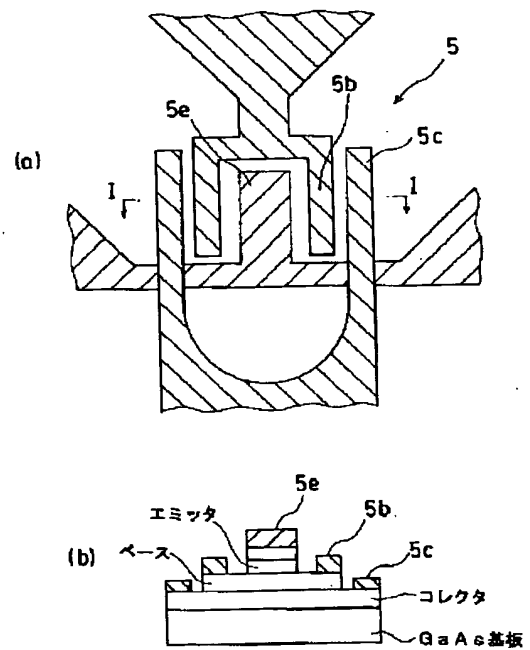
【図9】



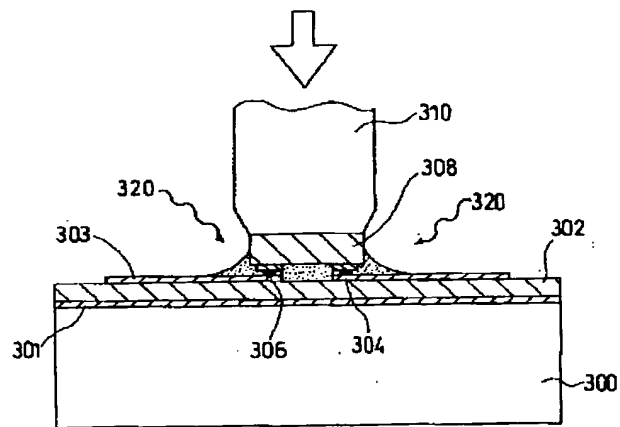
【図10】



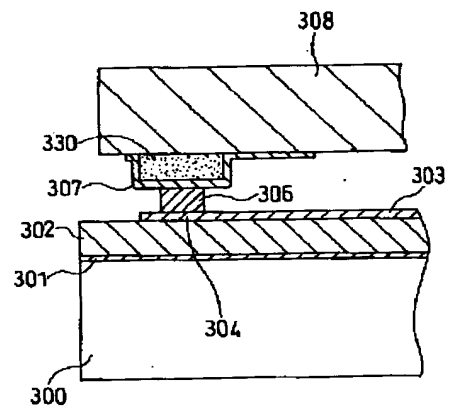
【図11】



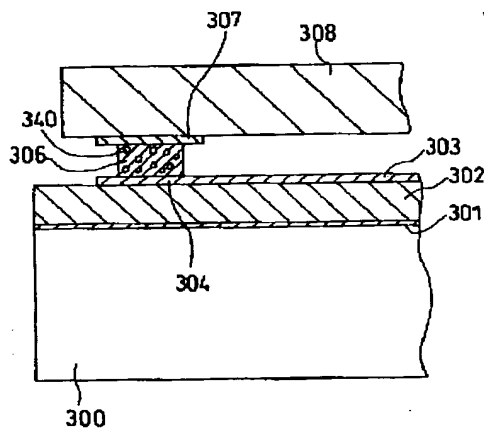
【図 12】



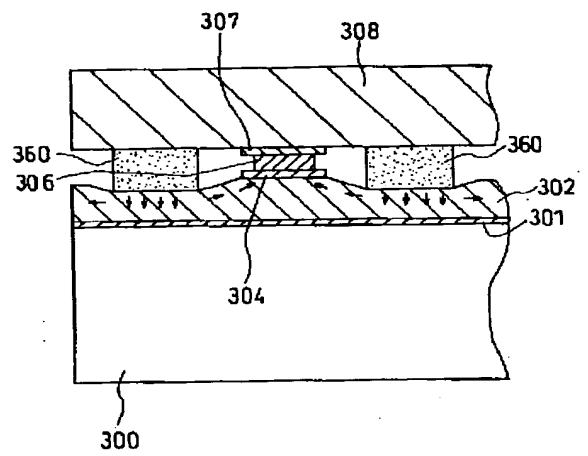
【図 13】



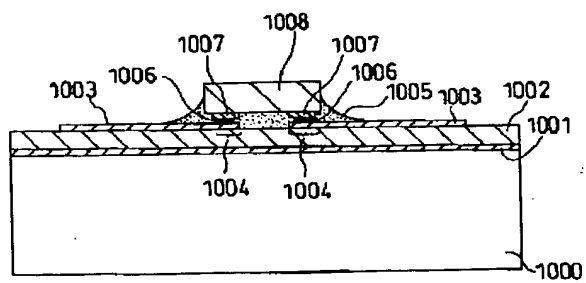
【図 14】



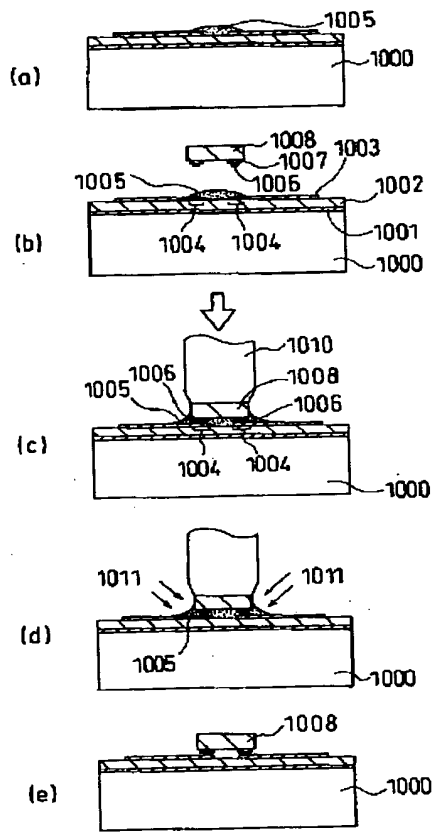
【図 16】



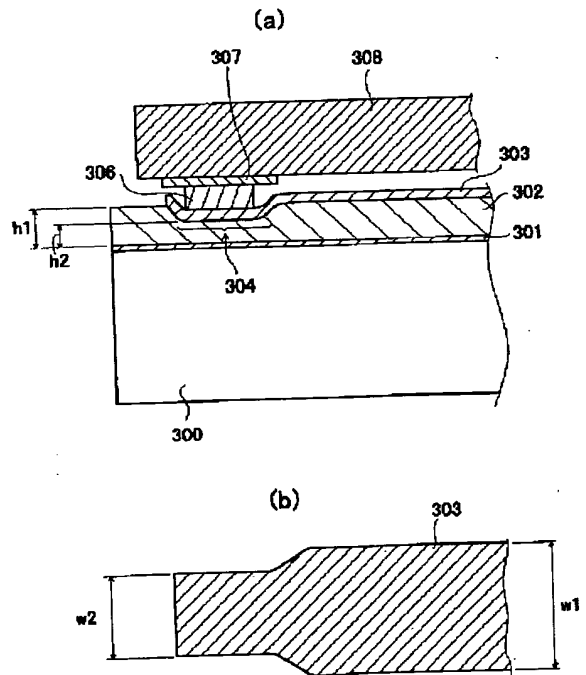
【図 18】



【図 19】



【図 20】



フロントページの続き

(72) 発明者 太田 順道
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(72) 発明者 井上 薫
大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内